

...vom CAD-Design zur Baugruppe

CAD-Bibliothek, Routingstrategien, Leiterplatten- und Baugruppenproduktion 13. - 15. Oktober 2015

Seminarablauf

Dienstag, 13. Oktober 2015

- 10:00 Einschreibung
- 10:15 Bibliothekselemente des CAD-Systems, allgemeine Leiterplattentechnologien, klassische und spezielle Lagenaufbauten für Baugruppen, Strategien für die Montage von elektronischen Komponenten, Löten, Bonden, Einpressen, Bauformen für THT und SMT, CAM-Bearbeitung, Auftragslogistik für die Leiterplattenfertigung, Ordnungssysteme und Filesyntax, Datatransfer, Produktionsabläufe, Basismaterialien: Prepregs und Lamine

12:30 *Mittagspause*

- 13:30 Bohrklassen, AspectRatio für Bohrungen, Blind Vias, Buried Vias, Toleranzräume, Grenzwertberechnungen für Padgeometrien, allgemeine Kontaktierungsstrategien

15:00 *Kaffeepause*

15:30 **Praxis in den Laboren.**
Manueller Lotpastendruck, manuelle Bestückung, Wellenlöten, Selektivlöten

17:00 Ende des ersten Tages

Gelegenheit zum gemeinsamen Abendessen

Mittwoch, 14. Oktober 2015

- 08:30 Bleifreies Löten, Lötmetallurgie, Lötflächen, Lote, Lotpasten, Flussmittel, Löt-wärmebeständigkeit, passive und aktive Bauelemente, Bauformen, Trends, Handling, Fehlermechanismen

10:00 *Kaffeepause*

- 10:15 Baugruppenfertigung, Lotpastenapplikation, Bestückung, Lötprofile und Lötwärmebelastung der Leiterplatte, Lötverfahren: Reflow, Welle, Selektiv, Rework, manuelles Löten

12:30 *Mittagspause*

13:30 **Baugruppenfertigung in der ISIT-Linie Teil 1**
ISIT-Uhr inkl. 01005 Bauelemente, Lotpasten-applikation mittels Druck und Jetprinten, 3D-Pasten AOI, Bestückung, Konvektions- und Dampfphasenlöten, Temperaturprofilierung, Rework

15:00 *Kaffeepause*

15:30 **Baugruppenfertigung in der ISIT-Linie Teil 2**

17:00 Ende des zweiten Tages

Donnerstag, 15. Oktober 2015

08:30 Galvanotechnik, Hülsenkupfer, Metallisierung, Leiterplattenoberflächen, Leiterbilder, Interpretation von Querschnitten, Funktionsflächen für die Montage von Bauteilen, Rückätzung

10:00 *Kaffeepause*

10:15 Fertigungsgerechtes und kostenoptimiertes Leiterplattendesign aus Sicht der Elektronikfertigung, Brückenschlag zwischen Design und Fertigung, Richtlinien, Nutzentrennverfahren, Einfluss der Nutzentrennung auf die Baugruppenqualität, Dehnungsmessung sowie Baugruppen- und Fehlerbewertung, Inspektionskriterien, Analyseverfahren, Untersuchungsmethodik, bleifreie Lötstellen

12:30 *Mittagspause*

13:30 Verifikation von Leiterplatten, Elektronische Prüfung, AOI, Impedanztest

14:30 **Praxis in den Laboren.**
Zerstörungsfreie Prüfung, optische Inspektion, 2D- und 3D-Röntgenprüfung, Akustikmikroskopie, REM/EDX, zerstörende Prüftechniken, Gefüge von Lötverbindungen

15:30 Abschlussdiskussion

16:00 Ende des Seminars

Hinweis zur Arbeit in unseren Laboren

Bitte beachten Sie :

Da wir die Labore im Tagesbetrieb besuchen, sind Änderungen in der Ablaufreihenfolge möglich.

Übersicht zu den Praxis-Laboren:

- Labor A Lotpastendruck und Bestückung, manueller Pastendruck, manuelle Bestückung
- Labor B Wellenlöten, Selektivlöten, Doppelwelle, Wellenformen und Anwendungen, Flussmittel, Lötprofile
- Labor C Baugruppenfertigung in der ISIT-Linie, Aufbau ISIT-Uhr inkl. 01005 Bauelemente, automatische Lotpastenapplikation mittels Druck und Jetprinten, 3D-Pasten AOI, Konvektions- und Dampfphasenlöten, Temperaturprofilierung, Lötwärmebelastung
- Labor D Zerstörungsfreie Prüfung, Inspektion, 2D-Röntgenprüfung und Nano-CT (3D-Computertomografie), Akustikmikroskopie, REM/EDX, Rückstandsprüfung
- Labor E Zerstörende Prüftechniken, Zug- und Schertest, metallografische Verfahren zur Darstellung der Gefüge von Lötverbindungen, Lichtmikroskopie, Kontrastierverfahren

...vom CAD-Design zur Baugruppe

Seminarleitung

Helge Schimanski (ISIT)
Arnold Wiemers (LeiterplattenAkademie GmbH)

Kosten

1.580,- EUR
Im Preis inbegriffen sind die Kursunterlagen,
Pausengetränke und das Mittagessen.

Veranstaltungsort

Fraunhofer ISIT, Fraunhoferstraße 1, 25524 Itzehoe

Dauer

3 Tage
Beginn Dienstag 10:00 Uhr
Ende Donnerstag 16:00 Uhr

Teilnehmerzahl

Maximal 12 Personen

Buchung

Fraunhofer ISIT
Marion Rosemann
Fraunhoferstr. 1, 25524 Itzehoe
Tel.: 04821 / 17 42 15
Fax: 04821 / 17 42 50
www.isit.fraunhofer.de
seminarteam@isit.fraunhofer.de
oder
LA - LeiterplattenAkademie GmbH
Frau Kathrin Fechner
Krefelder Straße 18, 10555 Berlin
Tel.: 030 / 34 35 18 99
Fax: 030 / 34 35 19 02
www.leiterplattenakademie.de
anmeldung@leiterplattenakademie.de

Weitere Seminarangebote entnehmen Sie unserem Programm. Wir führen auch InHouse-Seminare im Kundenauftrag durch. Sprechen Sie uns gerne an.

Hotel

Für Übernachtungen empfehlen wir das Hotel Mercure, Klosterforst Itzehoe. Die aktuellen Firmenkonditionen erfragen Sie bitte bei uns.

Anmeldungen sind bis zum 28. September 2015 erbeten

Anmeldung

Hiermit melden wir folgende Person(en) verbindlich zu dem Seminar und Tutorial "...vom CAD-Design zur Baugruppe" an:

Name

Firma

Abteilung

Straße

PLZ/Ort

Telefon

eMail

Weitere Teilnehmer

Name

eMail

Name

eMail

Ich erkläre mich damit einverstanden, dass meine Daten zwecks Erstellung einer Teilnehmerliste an andere Teilnehmer weitergegeben werden und dass Fotos, die während des Seminars aufgenommen werden, veröffentlicht werden dürfen (ggf. bitte streichen).

Firmenstempel, Datum und rechtsverbindliche Unterschrift

.....
Datum, Unterschrift

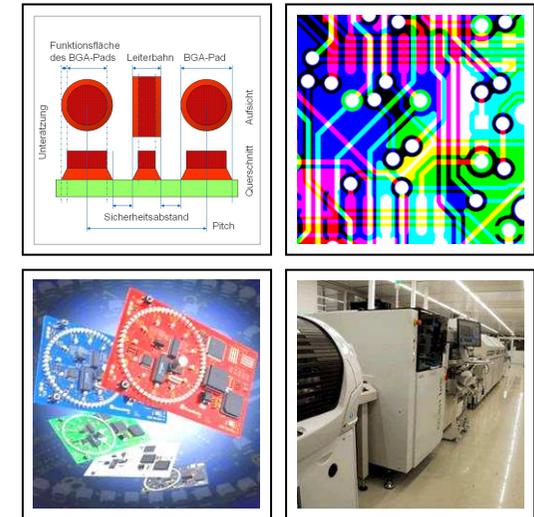
Zulassung zur Veranstaltung nur nach Eingang der Teilnahmegebühr. Es gelten die allgemeinen Geschäftsbedingungen der Fraunhofer-Gesellschaft. Stornogebühren bis 2 Wochen vor der Veranstaltung 20 %, danach 100 % des Rechnungsbetrags; die Anmeldung kann jedoch auf Ersatzteilnehmer übertragen werden. Der Veranstalter behält sich kurzfristige Programmänderungen sowie Absage aus unvorhersehbaren Gründen vor.

Seminar und Tutorial

... vom CAD-Design zur Baugruppe

CAD-Bibliothek, Routingstrategien,
Leiterplatten- und Baugruppenproduktion

13. - 15. Oktober 2015 in Itzehoe



 **Fraunhofer**
ISIT

in Kooperation mit

 **LeiterplattenAkademie**
LA - LeiterplattenAkademie GmbH, Berlin