



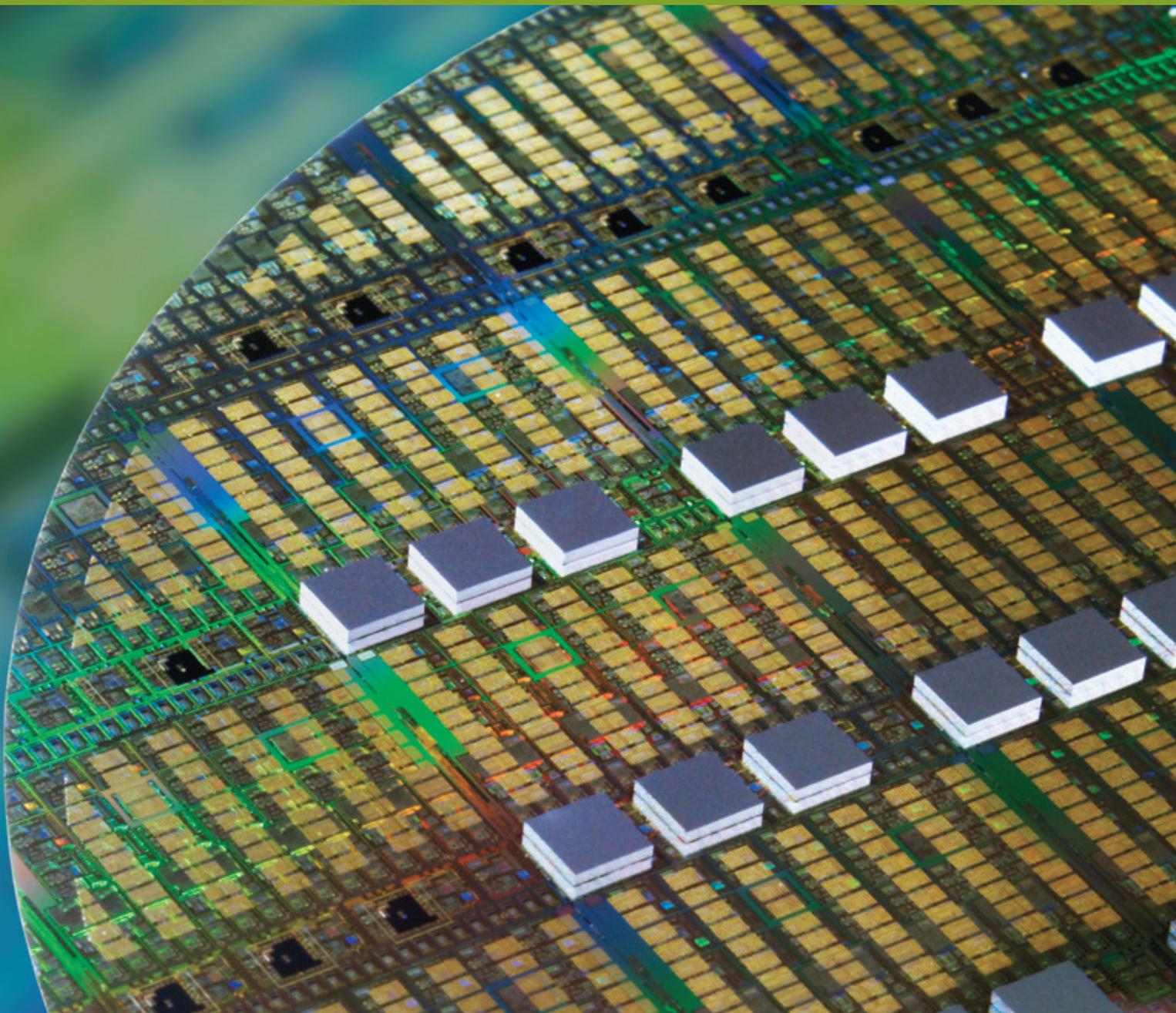
# Fraunhofer

ISIT

FRAUNHOFER-INSTITUT FÜR SILIZIUMTECHNOLOGIE ISIT

## GEHÄUSE- UND AUFBAUTECHNIK

FÜR MIKROSYSTEME, SENSOREN UND MULTICHIP-MODULE





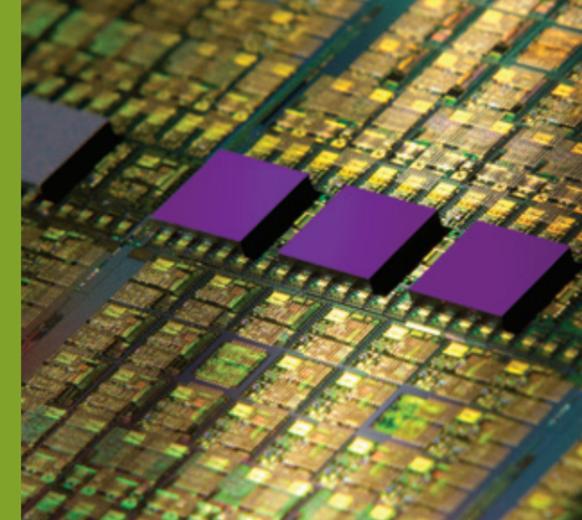
Waferausschnitt mit vakuumverkapselften Drehratensensoren



Drehratensensor mit ASIC in Open Cavity Gehäuse



Vision einer 3D-Integration von MEMS und ASIC



Umsetzung der 3D-Integration von MEMS und ASIC auf Waferebene

## MODULINTEGRATION

### Besonderheiten bei der Montage von Mikrosystemen

Die Entwicklung von Mikrosystemen ist ein zentrales Arbeitsgebiet des Fraunhofer ISIT. Dabei werden an die Aufbau- und Verbindungstechnik (Packaging) besondere Ansprüche hinsichtlich der Genauigkeit der Bauteilplatzierung, der Auswahl von Fügewerkstoffen und der Minimierung des eingebrachten Stresses gestellt.

Das ISIT hat in den letzten Jahren durch die Entwicklung sicherheitsrelevanter Drehratensensoren für die Automobilindustrie seine Kompetenzen entscheidend ausgebaut. Mit seiner MEMS-Pilotlinie für 200 mm-Wafer verfügt das ISIT über eine flexible Infrastruktur und Qualitätssicherung zur Entwicklung und Pilotfertigung neuer Mikrosystem-Baugruppen.

Auf Kundenwunsch kann die Packaging-Entwicklung mit einer FMEA begleitet werden. Nach der erfolgreichen Qualifizierung kann der Prozess in eine hochvolumige Fertigungsumgebung transferiert werden.

### Stresskontrolliertes Packaging

Durch die Verwendung von Füge- und Gehäusungswerkstoffen mit unterschiedlichen thermomechanischen Ausdehnungskoeffizienten treten auch in kleinen Bauteilen Materialverspannungen auf. Diese führen bei vielen Sensoren zu einer ungewollten Signaldrift bei Temperaturveränderungen. Für Präzisionssensoren muss ein alterungsbeständiger Zustand mit sehr niedriger thermomechanischer Fehlanpassung der verwendeten Materialien geschaffen werden. Das ISIT kann diese Aufgabenstellung durch die Kombination von materialwissenschaftlichem und prozesstechnologischem Wissen lösen. Die Realisierung von gut reproduzierbaren Fügeprozessen erlaubt dabei die vorausschauende Kompensation von Alterungseffekten durch eine Bauteilkalibrierung.

### Chip Stapeltechnik

Die Integration von CMOS-Bauteilen in ein Mikrosystem zielt meist auf eine Erhöhung der Bauteilfunktionalität ab. Für Speichermodule mit sehr großem Speicherinhalt werden die eingesetzten ICs z. B. als ultra-dünne Chips verarbeitet, um geringe Aufbaudicken zu realisieren. Hierzu verfügt das ISIT über spezielles Know-How zur Verarbeitung ultra-dünner Chips bis ca. 20 µm Rest-

dicke. Die Biegeflexibilität der einzelnen Chips geht durch die Lagenverklebung in einen biegesteifen Aufbau über. Die Kontaktierung erfolgt entweder durch eine ausgefeilte Drahtbondtechnik oder über Durchführungen im Silizium. Das ISIT verfolgt diese Aufbauvariante vor allem für die optische Sensorik/Aktuatorik, z. B. intelligente Miniaturkameras mit integrierter Optik und Spiegelscanner für Projektoren.

### Hochfrequenz Flip Chip

Für die Kontaktierung von Hochfrequenzbauelementen als Flip Chip ist eine gut reproduzierbare Füge-technik notwendig. Ziel ist hierbei eine impedanzkontrollierte Fügspaltgeometrie bei sehr genauer lateraler Positionierung. Der im ISIT verfügbare Flip-Chip-Bestücker mit hoher Genauigkeit (10 µm) stellt zusammen mit der Hochfrequenz Messtechnik bis 50 GHz die Basis für entsprechende Entwicklungen dar. Je nach Systemanforderungen ist auch die Kombination von Flip-Chip-Aufbautechnik mit Bändchenbonden sinnvoll. Die Einbringung von Kavitäten zum vertieften Einbau von Chips und elektrischen Hochfrequenzdurchführungen bietet weiteren Gestaltungsspielraum z. B. zur Verwendung von passiven Komponenten.

## WAFER LEVEL PACKAGING

### Hermetische Verkappung

Mikrosensoren erfordern in der Regel eine hermetische Gehäuse zum Schutz der empfindlichen Mikrostrukturen vor äußeren Einflüssen, wie z. B. dem Eindringen von Feuchte. Mittels Oberflächen- oder Volumenmikromechanik hergestellte Bauteile müssen in der Regel schon auf Waferebene gekapselt werden, da die Strukturen dem Sägen des Wafers nicht standhalten.

Die Entwicklung ist auf metallische Versiegelungstechnologien fokussiert, z. B. dem eutektischen AuSi- und AuSn-Waferbonden. Diese Füge-technologien bieten höchste Dichtigkeit selbst bei Topographie in der Fügezone, sowie eine hohe mechanische Festigkeit und sehr hohe Bauteildichte auf dem Wafer. Gleichzeitig mit der Versiegelung können vertikale elektrische Kontakte ausgebildet werden. Das ISIT bietet die kundenspezifische Entwicklung und Fertigung von Kappenwafern zur Verkapselung von Mikrobauteilen sowie zur Technologie und Zuverlässigkeitsbewertung an.

### MEMS Chip Size Packaging

Der Einzug von Mikrobauteilen in mobile Elektronikgeräte zwingt zu extrem miniaturisierten Bauelementen mit Gehäusedicken unter 1 mm. Das ISIT ist spezialisiert auf die fortschrittliche hybride Integration von Mikrobauteilen wie z. B. Inertialsensoren mit Auswerteschaltungen. Diese Aufbautechnik kann je nach Chipgeometrie und Komplexität auch auf Waferebene durchgeführt werden, wodurch besonders dünne Aufbauten realisiert werden können. Das Institut hat hierzu einen modularen Werkzeugkasten an Schlüsseltechnologien entwickelt, der eine schnelle kundenspezifische Bauteilentwicklung erlaubt.

Zu diesen Schlüsseltechnologien gehören die symmetrische Waferdünnung von MEMS Bauelementen, spezielle Vereinzlungstechnologien zur Exposition der Bondpads, Durchkontaktierung im Siliziumwafer (TSV), Chip-Stapeltechnik mit Transferklebefolien, Spacertechniken, 3D Drahtbonden und Lot-Bekugelung. Das Transfer-Molding der Aufbauten kann in Zusammenarbeit mit externen Anbietern durchgeführt werden, um eine industrielle Pilotfertigung von qualifizierten Musterbauteilen zu realisieren.

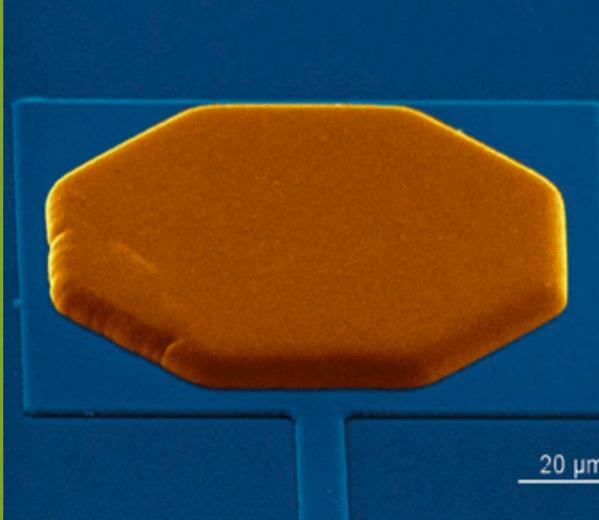
## WAFERMODIFIKATION

### Umverdrahtung

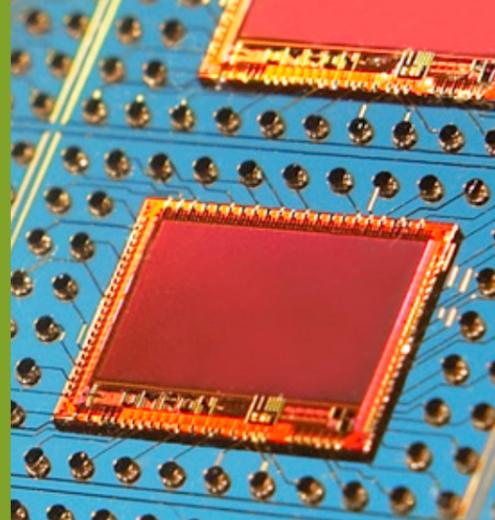
Durch die Umverdrahtung peripher angeordneter Chipkontakte in eine flächige Anordnung über dem Chip kann der Kontaktmittenabstand entscheidend vergrößert werden. Hierdurch können sogenannte Chip Size Packages (CSP) geschaffen werden, die sich mit sehr schnellen Chip-Shootern auf Leiterplatten bestücken lassen. Solche Bauelemente können bei kleinen Geometrien bis ca. 3 mm Kantenlänge ohne Underfill verarbeitet werden. Das ISIT hat eine Mehrlagen-Dünnschicht-Umverdrahtungstechnologie entwickelt, die an kundenspezifische Randbedingungen angepasst werden kann. Darüber hinaus sind auch alternative Metallisierungssysteme verfügbar. Derzeitige Entwicklungsziele gehen auch in Richtung hochpoliger CSP mit größeren Kantenabmessungen.

### Bumping & Balling

CSP Bauteile werden am ISIT typischerweise auf Waferebene mit vorgeformten Lotkugeln ausgestattet. Lotkugeln bis hinunter zu 250 µm können als Preform mit sehr hoher Ausbeute (> 99,9 %) aufgebracht und verlötet werden. Alternativ steht ein Präzisionsschablonendruck zur Verfügung, mit dem Flip Chip Lotbumps bis 250 µm Pitch industriell beherrscht werden. Als Demonstrator sind auch Pitchabstände im Bereich 170 µm machbar.



Bump mit chem. Ni/Au UBM



Aufbau eines Bildsensors auf einem beugeltem Glaswafer

## WAFERMODIFIKATION

### UBM (Under-Bump-Metallisierung)

Für die Herstellung von Flip Chip Kontaktbumps verfügt das ISIT neben der Dünnschichttechnologie und der Galvanik über eine eigene Beschichtungstechnologie mit chemisch Nickel/Gold. Wafer werden in der Regel vor dem Waferdünnen mit der Nickel-Gold Metallisierung ausgestattet und können danach im ISIT auf Zieldicke gedünnt, gebumpt und auch gesägt werden. Auch die Verarbeitung gedünnter Wafer bis zu einer Dicke von 70  $\mu\text{m}$  möglich.

### Elektrische Durchführungen

Das ISIT hat zwei unterschiedliche Technologien für die elektrische Durchkontaktierung von Wafern entwickelt. Durchführungen durch Glaswafer eignen sich besonders für optische MEMS Aufbauten und Hochfrequenzschaltungen. Trockengeätzte Vias in Siliziumwafern erlauben dagegen höhere Viadichten. Sie können mit einer Umverdrahtung und Bekugelung kombiniert werden. Die Waferdicken bewegen sich im Bereich 300  $\mu\text{m}$  bis ca. 700  $\mu\text{m}$ .

### Versiegelungsrahmen

Durch die Aufbringung metallischer Versiegelungsrahmen auf die aktive Seite von ASICs können diese direkt mit Mikrosensoren verbunden werden. Die Abscheidung der Rahmenstrukturen und ggf. von vertikalen Kontakten erfolgt auf dem ganzen Wafer. Das ISIT verfügt über Knowhow zur Auswahl der Haftvermittler und Sperrschichten für die Metallisierung, zur Prozesstechnologie für die Versiegelung und zur Strukturgebung für die Benetzungskontrolle der gebildeten Schmelze z. B. bei eutektischen AuSn Bonden.

### Testwafer und Substrate

Das ISIT entwickelt und fertigt Silizium- und Glas-Testchips mit Daisy-Chain-Verdrahtung für die AVT-Prozessentwicklung, zum Materialscreening und zu Schulungszwecken. Für viele Chipgeometrien sind bereits passende Substrate für Füge- und Kontaktierungsversuche vorhanden. Glaschips eignen sich z. B. besonders für die Präzisionsvermessung der Bestückungsgenauigkeit von Die-Bondern und die Optimierung von Underfill Prozessen.

## KONTAKT



### Abteilung Modulintegration

Dr. Wolfgang Reinert  
Telefon +49 (0) 4821 / 17-4216  
wolfgang.reinert@isit.fraunhofer.de

Dr. Dirk Kähler  
Telefon +49 (0) 4821 / 17-4604  
dirk.kaehler@isit.fraunhofer.de

### Fraunhofer-Institut für

Siliziumtechnologie  
Fraunhoferstraße 1  
D-25524 Itzehoe  
Telefon +49 (0) 4821 / 17-4211  
Fax +49 (0) 4821 / 17-4250  
info@isit.fraunhofer.de  
www.isit.fraunhofer.de