

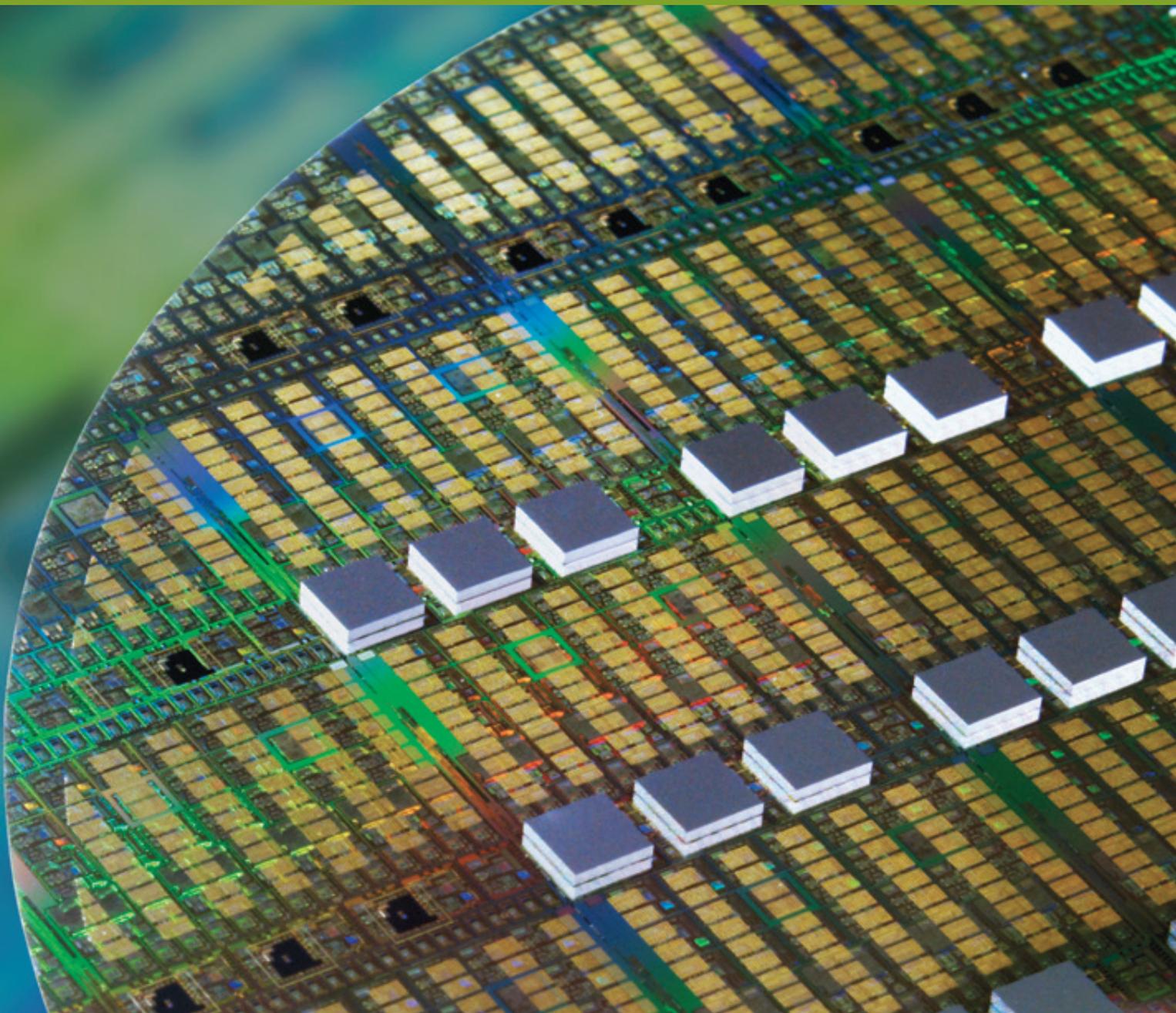


# Fraunhofer

ISIT

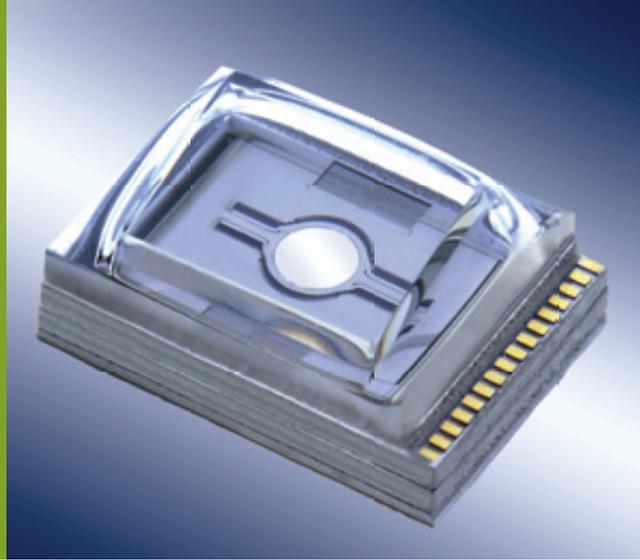
FRAUNHOFER-INSTITUT FÜR SILIZIUMTECHNOLOGIE ISIT

## GEHÄUSE- UND AUFBAUTECHNIK FÜR MIKRO- SYSTEME, SENSOREN UND MULTICHIP-MODULE





*Waferausschnitt mit vakuumverkapselten Drehratensensoren*



*Vakuum Verkappter Mikrospiegel für Laser Projektionsanwendungen*

## BESONDERHEITEN BEI DER MONTAGE VON MIKROSYSTEMEN

Die Entwicklung von Mikrosystemen ist ein zentrales Arbeitsgebiet des Fraunhofer ISIT. Dabei werden an die Aufbau und Verbindungstechnik (Packaging) besondere Ansprüche hinsichtlich der Genauigkeit der Bauteilplatzierung, der Auswahl von Fügwerkstoffen und der Minimierung des von Rückkopplungseinflüssen eingebrachten Stresses auf die Bauteileigenschaften gestellt. Das ISIT hat in den letzten Jahren durch die Entwicklung sicherheitsrelevanter Drehratensensoren für die Automobilindustrie seine Kompetenzen entscheidend ausgebaut und verfügt über eine flexible Infrastruktur und Qualitätssicherung zur Entwicklung und Pilotfertigung neuer Mikrosystem- Baugruppen. Auf Kundenwunsch kann die Packaging Entwicklung mit einer FMEA begleitet werden. Nach der erfolgreichen Qualifizierung kann der Prozess in eine hochvolumige Fertigungsumgebung transferiert werden.

### WAFER LEVEL PACKAGING

#### Hermetische Verkappung

Das Portfolio an hermetischen Wafer-Fügetechnologien umfasst Glaslot Bonden, anodisches Bonden und eine Gruppe von eutektischen Legierungen (AuSn, AuSi, AlGe) und sogenannte transiente Flüssigphasen Bondierungen in den Systemen CuSn und AuSn. Gleichzeitig mit der Versiegelung können vertikale elektrische Kontakte ausgebildet werden. Das ISIT bietet die Entwicklung von passenden Silizium und Glas-Kappenwafern auf 8" an und verfügt über die Infrastruktur zur Herstellung von Musterserien. Insbesondere die Glas-Kappenwafer erlauben besondere Kappengeometrien mit zugleich guten optischen Eigenschaften.

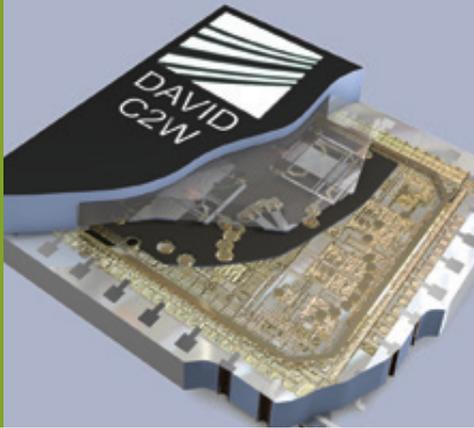
#### Neon Ultra-Fein Lecktest

Hermetisch gehäuste Sensoren finden sich heute in Anwendungen mit extrem langen Lebensdauer Anforderungen im Bereich von 20 Jahren. Bei sehr kleinen Gehäusevolumina können sich Leckratenanforderungen kleiner als  $10^{-14}$  mbar l/s ergeben. Mit dem am ISIT entwickelten Neon ultra-fein Lecktest können Leckraten bis in den Bereich  $10^{-17}$  mbar l/s nachgewiesen werden. Voraussetzung hierfür sind mikro-mechanische Resonatoren mit einem hohen Gütefaktor. Der Test exponiert das Bauelement oder eine Gruppe von Wafern gleichzeitig in einer Neon Überdruckatmosphäre. Während der Auslagerungszeit dringt Neon in undichte Kavitäten ein

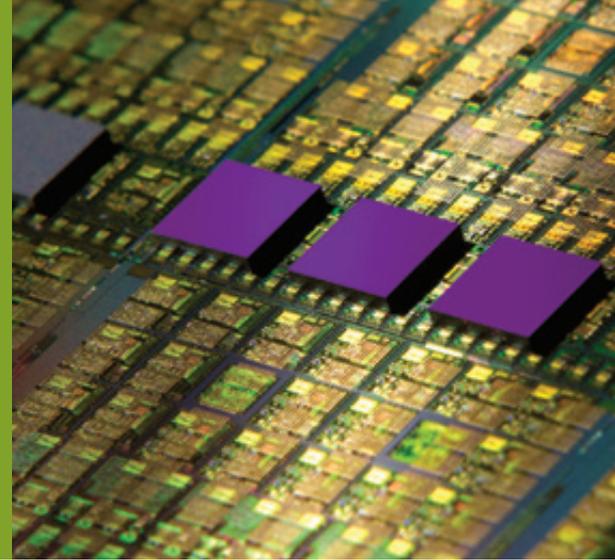
und verändert die atmosphärische Dämpfung des Resonators. In einer nachfolgenden Messung wird die Verringerung des Gütefaktors sehr genau bestimmt und daraus die Gasleckrate für jedes Bauteil auf einem Wafer individuell errechnet.

#### MEMS-Chip Size Packaging

Der Einzug von Mikrobauteilen in mobile Elektronikgeräte zwingt zu extrem miniaturisierten Bauelementen mit Gehäusedicken unter 1 mm. Das ISIT ist spezialisiert auf die fortschrittliche hybride Integration von Mikrobauteilen wie z. B. Inertialsensoren mit Auswerteschaltungen. Diese Aufbautechnik kann je nach Chipgeometrie und Komplexität auch auf Waferebene durchgeführt werden, wodurch besonders dünne Aufbauten realisiert werden können. Das Institut hat hierzu einen modularen Werkzeugkasten an Schlüsseltechnologien entwickelt, der eine schnelle kundenspezifische Bauteilentwicklung erlaubt. Zu diesen Schlüsseltechnologien gehören die symmetrische Waferdünnung von MEMS Bauelementen, spezielle Vereinzlungstechnologien zur Exposition der Bondpads, Wafer-Stromdurchführungen (TSV), Chip-Stapeltechnik mit Transfer-Klebefolien, Spacertechniken, 3D-Drahtbonden und Lot-Bekugelung. Das Transfer-Molding der Aufbauten kann in Zusammenarbeit mit externen Anbietern durchgeführt werden, um eine industrielle Pilotfertigung von qualifizierten Musterbauteilen zu realisieren.



*Vision einer 3D-Integration von MEMS und ASIC*



*Umsetzung der 3D-Integration von MEMS und ASIC auf Waferebene*

## WAFERMODIFIKATION

### Bumping & Balling

Für die Bekugelung von Bauteilen auf Wafer- und Substratebene verfügt das ISIT über zwei unterschiedliche Technologien. CSP Bauteile werden typisch auf Waferebene mit vorgeformten Lotkugeln ausgestattet. Die hierzu vorhandene Infrastruktur kann bis zu 300 mm Wafer mit lötfähiger Kontaktmetallisierung verarbeiten. Lotkugeln bis hinunter zu 250 µm können als Preform mit sehr hoher Ausbeute (> 99,9 %) aufgebracht und verlötet werden. Alternativ steht ein Präzisionsschablonendruck zur Verfügung, mit dem Flip Chip Lotbumps bis 250 µm Pitch industriell beherrscht werden. Als Demonstrator sind auch Pitchabstände im Bereich 170 µm machbar.

### UBM

Für die preiswerte Herstellung von Flip Chip Kontaktbumps ohne Umverdrahtung verfügt das ISIT über eine eigenentwickelte Beschichtungstechnologie mit chemisch Nickel / Gold. Die Infrastruktur ist auf bis zu 200 mm Waferdurchmesser ausgelegt. Durch die langjährige Erfahrung mit unterschiedlichsten Kundenwafern läuft der Beschichtungsprozess sehr stabil. Wafer werden in der Regel vor dem Waferdünnen mit chem. NiAu UBM ausgestattet und können danach im ISIT auf Zieldicke gedünnt, gebumpt und auch gesägt werden. Für Prototypen ist auch die Verarbeitung gedünnter Wafer bis zu einer Dicke von 70 µm problemlos möglich.

### Elektrische Durchführungen

Das ISIT hat zwei unterschiedliche Technologien für elektrische Stromdurchführungen (Via) für die Mikrosystemtechnik und Mikroelektronik entwickelt. Durchführungen durch Glaswafer eignen sich besonders für optische MEMS Aufbauten und Hochfrequenzschaltungen. Trockengeätzte Vias in Siliziumwafern erlauben dagegen höhere Viadichten. Beide Technologien sind hermetisch dicht und auf 200 mm Wafern

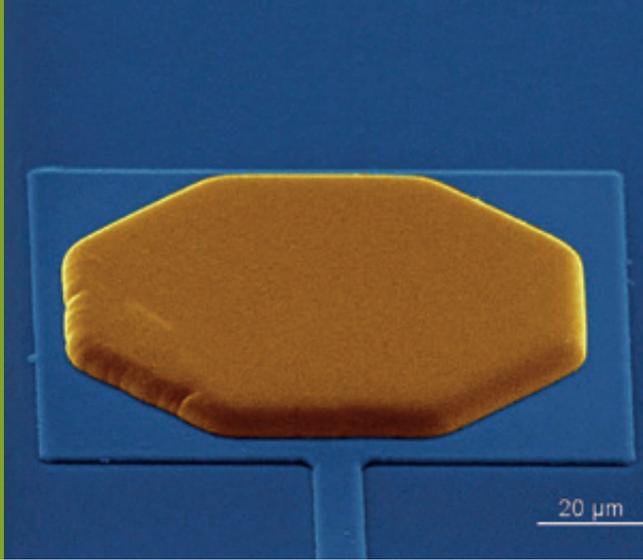
anwendbar. Sie können mit einer Umverdrahtung und Bekugelung kombiniert werden. Die Waferdicken bewegen sich im Bereich 300 µm bis ca. 700 µm. Basierend auf diesen Vorentwicklungen können kundenspezifische Lösungen entwickelt werden.

### Versiegelungsrahmen

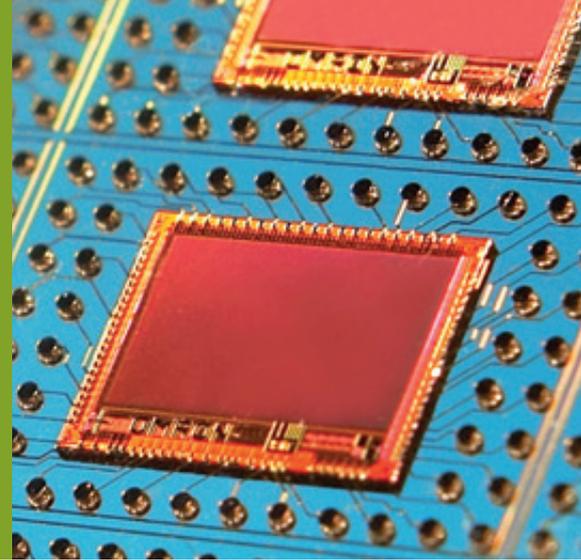
Durch die Aufbringung metallischer Versiegelungsrahmen auf die aktive Seite von ASICs können diese direkt mit Mikrosensoren verbunden werden. Die Abscheidung der Rahmenstrukturen und ggf. von vertikalen Kontakten erfolgt auf dem ganzen Wafer. Das ISIT verfügt über besondere Kenntnisse zur Metallisierung über Wafertopographien, zur Auswahl der Haftvermittler und Sperrschichten und zur Prozesstechnologie für die Versiegelung. Bei metallischen Fügeverfahren, z.B. dem eutektisch AuSn Bonden, ist die Benetzungskontrolle der gebildeten Schmelze entscheidend für das Fügeergebnis.

### Testwafer und Substrate

Testchips sind sehr hilfreich für die Prozessentwicklung, zum Materialscreening und auch zu Schulungszwecken. Je nach der geplanten Nutzung können die Testchips mit Standard Layout oder mit kundenspezifischen Designs angeboten werden. Hierbei kann sowohl die Waferdicke variiert werden als auch das Sägemeß oder die Sägefolie. Testchips können mit Lotbumps oder chem. NiAu UBM ausgestattet werden. Durch die auf allen Testchips vorhandene Daisy-Chain Verdrahtung können diese Chips auch für die Untersuchung von Prozessausbeuten und die Zuverlässigkeitsbewertung bestimmter Aufbautechniken genutzt werden. Die Testchips werden in der Regel als ganze gesägte 200 mm Silizium Wafer auf Folie bereitgestellt. Kundenspezifische Testchips mit besonderen Geometrien, auch aus Glaswafern, kann das ISIT auf Anfrage entwickeln. Glaschips eignen sich z. B. besonders für die Präzisionsvermessung der Bestückungsgenauigkeit von Die-Bondern und die Optimierung von Underfill-Prozessen.



Bump mit chem. Ni/Au UBM



Aufbau eines Bildsensors auf einem  
bekugelten Glaswafer

## MODULINTEGRATION

### Stresskontrolliertes Packaging

Durch die Verwendung von Füge- und Gehäusungswerkstoffen mit unterschiedlichen thermomechanischen Ausdehnungskoeffizienten in kleinen Bauteilabmessungen verstärken sich die daraus resultierenden Materialverspannungen. Diese führen bei vielen Sensoren zu einer ungewollten Signaldrift bei Temperaturveränderungen. Für Präzisionssensoren, wie z. B. für die industrielle Prozessüberwachung muss ein alterungsbeständiger Zustand mit sehr niedriger thermomechanischer Fehlanpassung der verwendeten Materialien geschaffen werden. Das ISIT kann diese Aufgabenstellung durch die Kombination von materialwissenschaftlichem und prozesstechnologischem Wissen lösen. Die Realisierung von gut reproduzierbaren Fügeprozessen erlaubt dabei die vorausschauende Kompensation von Alterungseffekten durch eine Bauteilkalibrierung.

### Chip Stapeltechnik

Die vertikale Integration von ASICs in ein Mikrosystem zielt auf eine Erhöhung der Bauteilfunktionalität ab, z. B. Speichermodule mit sehr großem Speicherinhalt. Die eingesetzten ICs werden als ultra-dünne Chips verarbeitet, um geringe Aufbaudicken zu realisieren. Hierzu verfügt das ISIT über spezielles Know-How zur Verarbeitung ultra-dünner Chips bis ca. 20 µm Restdicke. Die Biegeflexibilität der einzelnen Chips geht durch die Lagenverklebung über in einen biegesteifen Aufbau. Die Kontaktierung erfolgt entweder durch eine ausgefeilte Drahtbondtechnik oder über Durchführungen im Silizium. Das ISIT verfolgt diese Aufbauvariante mit besonderem Interesse in Richtung optischer Sensorik/ Aktuatorik, z. B. intelligenter Miniaturkameras mit integrierter Optik und Einspiegelprojektoren.

## KONTAKT



**Geschäftsfeld**  
**Mikro-Fertigungsverfahren**  
Dr. Wolfgang Reinert  
Telefon +49 (0) 4821 / 17-1440  
wolfgang.reinert@isit.fraunhofer.de

Saskia Schröder, M.Sc.  
Telefon +49 (0) 4821 / 17-1446  
saskia.schroeder@isit.fraunhofer.de

Fraunhofer ISIT  
ist Teilnehmer der

 **Forschungsfabrik**  
**Mikroelektronik**  
Deutschland

**Fraunhofer-Institut für**  
**Siliziumtechnologie**  
Fraunhoferstraße 1  
D-25524 Itzehoe  
Telefon +49 (0) 4821 / 17-4229  
Fax +49 (0) 4821 / 17-4250  
info@isit.fraunhofer.de  
www.isit.fraunhofer.de